

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **59-139660**

(43)Date of publication of application : **10.08.1984**

(51)Int.Cl.

H01L 23/48

(21)Application number : **58-012714**

(71)Applicant : **HITACHI LTD**

(22)Date of filing : **31.01.1983**

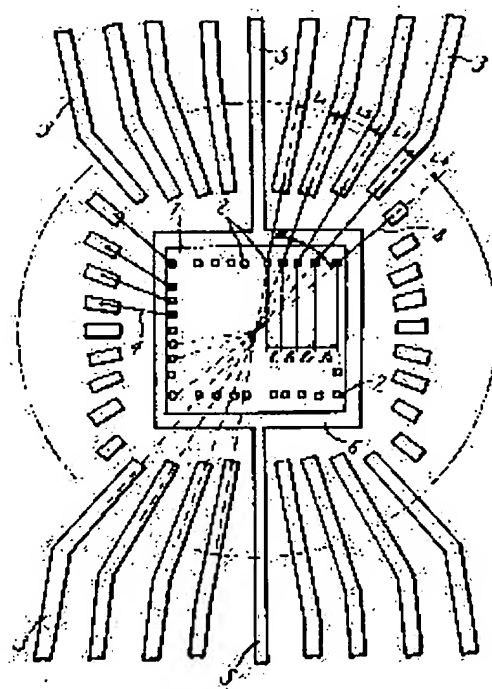
(72)Inventor : **MATSUBARA TOSHIAKI**

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To enable to eliminate the unsatisfactory contact between wires of the titled device by a method wherein the angle between the adjoining wires is equalized by making intervals of pads on a chip larger as they approach the corner along the side of the chip, thereby enabling to maintain the intervals of the wires to be required.

CONSTITUTION: The tip of a lead 3 is arranged on the straight line radially extended in the same angle from the center O of the chip in such a manner that pattern density will be made uniform, and the above is formed into $L1=A2=L3=L4$. Also, on the side of the chip, the chip center O, a pad 2 and the tip of the lead 3 are alined on a straight line by arranging a bonding pad on the straight line which is radially extended from the chip center with the equal angle, thereby enabling to make the wire interval d almost same distance. In this case, the above is turned to $l1>l2>...>l4$, and the pad interval can be made larger as going nearer to the circumference of the chip. A sufficient interval of wires can be obtained at the corner part of the chip, too, thereby enabling to prevent the contact between the wires.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑪ 日本国特許庁 (JP)

① 特許出願公開

⑫ 公開特許公報 (A)

昭59—139660

⑤ Int. Cl.³
H 01 L 23/48

識別記号

庁内整理番号
6819—5 F

⑬ 公開 昭和59年(1984) 8月10日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ 半導体装置

⑯ 特 願 昭58—12714

⑰ 出 願 昭58(1983) 1月31日

⑱ 発 明 者 松原俊明
高崎市西横手町111番地株式会

社日立製作所高崎工場内

⑲ 出 願 人 株式会社日立製作所
東京都千代田区丸の内1丁目5
番1号

⑳ 代 理 人 弁理士 高橋明夫 外1名

明 細 書

発明の名称 半導体装置

特許請求の範囲

1. 一主面上の周囲に複数の電極端子が配置された半導体チップと、チップの外周に沿って配置された複数の外部リードと、該電極端子と外部リードとを電気的に接続する金属ワイヤとを有する半導体装置であって前記電極端子のそれぞれはチップの中心とそれら電極端子に対応する外部リードとの線上に配置されていることを特徴とする半導体装置。

2. 互いに隣り合う電極端子の間隔が、チップの隅部に至るに従って大きくなっていることを特徴とする特許請求の範囲第1項記載の半導体装置。

発明の詳細な説明

〔技術分野〕

本発明は半導体装置におけるワイヤ接触防止技術に関する。

〔背景技術〕

半導体集積回路装置 (IC, LSI) において

は、第1図に示すように四角形の半導体チップ1の四辺にそって「ボンディングパッド」と呼ばれる電極端子2が多数配置され、このチップ1はタブリード5によつて支持されるタブ6上に固定されるとともにチップ1の外側の同じ平面上に複数のリード(ピン)3が配置され、各電極端子2と対向するリード3との間を細い金属ワイヤ4でボンディング(接続)した状態で同図一点鎖線で示すように樹脂モールド封止又はセラミックパッケージ封止した構造を有する。

ところで、半導体装置が、例えば大容量論理回路装置(通常ゲートアレイと称せられる)のように高集積化、大容量化に伴つて入出力ピン(リード)数が極めて多く(例えば106ピン)なつてくると、ワイヤ間が狭くなつて隣り合うワイヤどうしが、レジンモールド時などに接触してショート不良をおこしやすいことが本願発明者によつて明らかとされた。特に、ワイヤ間ショートはチップ四隅部分においておこりやすいことがわかつた。これは高集積化に伴い、半導体素子が形成される

領域が小さくなりチップサイズが小さくなる一方、ボンディングパッド数は、増加しパッド間のスペーシングが小さくなることによるが、このことを以下、本発明者により提案された従来のレイアウト技術を用いて具体的に説明する。

ICの多ピン化にともないリード3のパターン密度が一部で増大しないように、リード3は第2図に示すように、チップ(タブ)の中心0から等角度で放射状にのびる直線の延長線上にほぼ均等に配設される。($L_1 = L_2 = L_3, \dots, L_n$)

一方、ボンディングパッドはレイアウトの便利さからしてチップの周辺にそつて等間隔($\theta_1 = \theta_2 = \dots = \theta_n$)で配設されることが多い。

このような場合、第2図中、一点鎖線で囲まれたチップ隅部Aにおいてワイヤ4間の距離がチップの中央部にくらべせまくなり、この部分でショート不良が発生しやすい。

また第3図に示す如く等間隔($\theta_1 = \theta_2 = \dots = \theta_n$)で配設されたボンディングパッドとチップ

間の角度を等しくしもつて必要とするワイヤ間隔を保つたものである。

〔実施例〕

第4図は本発明による半導体装置におけるボンディングワイヤ用パッドの配置の原理的構成を示す。

同図において1は半導体チップ、2はボンディングパッド、4はチップの中心0とパッド2とを結ぶ直線上にあるワイヤの位置と方向を示す。ボンディングパッドは図からわかるように、 $L_1 = L_2 = \dots = L_n$ となり、 $\theta_1 < \theta_2 = \dots < \theta_n < \theta$ となるように配置されている。第5図に具体的な例を示す。同図においては、リード3の先端(パッケージのポスト側)はパターン密度が均等になるようにチップの中心(タブ中心)0から等角度で放射状にのびる直線(図中点線で示す)上に配置されている。すなわち、 $L_1 = L_2 = L_3 = L_4$ となっている。またチップ側で、ボンディングパッドを、同じくチップ中心から等角度で放射状にのびる直線上に配置することにより、チップ

の中心0を結ぶ直線の延長線上にリード3を配設するレイアウトをとつた場合は、 $L_1 > L_2 > L_3 > L_4$ となつて同図中1点鎖線で囲まれるチップ隅部Bにおいてワイヤ4の間隔が小となるとともにリード3の間隔も小となり、ワイヤ間接触が起こる確率が大となり、製品の歩留り低下をきたすことになる。

〔発明の目的〕

本発明は上記した点にかんがみてチップにおけるパッド配置に改良を加えたものであり、その目的とするところは多数ピンを有する半導体装置において、ワイヤ間接触不良をなくし、歩留りを高めることにある。

〔発明の概要〕

上記目的を達成するための手段として、本発明は隣り合うワイヤが互いに接触することのない必要にして十分な間隔を保つようにチップ上のパッドの間隔を規定したもので例えばチップ上のパッドはチップの辺にそつてコーナに至るに従つてその間隔を大きくすることによつて隣り合うワイヤ

ブ中心0とパッド2及びリード3の先端が一直線上に並ぶことになり、ワイヤ間隔d(又は角度)をほぼ等距離(等角)にすることができる。すなわち、同図において、ワイヤ間隔 $L_1 = L_2 = \dots = L_n$ になるようにパッド位置を規定すればよく、この場合、 $\theta_1 < \theta_2 = \dots < \theta_n$ となつてチップ周辺(コーナに近い)ほどパッド間隔を大きくすればチップ隅部においてもワイヤ間隔が充分にとれワイヤ間接触をさけることができる。具体的にはワイヤの直径が18~30 μm の場合、パッド間隔は中心に近いところで60 μm 、コーナに近いところで100~150 μm 程度とすればよい。なお第5図中、一点鎖線で描かれた円はチップの中心0を、中心とする仮想円である。

〔効果〕

以上、実施例で述べた本発明によれば、ワイヤ間隔が必要にして十分な範囲で等距離になるようにパッド間隔を選ぶ結果、チップ周辺でのワイヤの密集をさけることができるとともにチップの中心0から等間隔で放射状にのびる同一直線上に

ボンディングパッドおよびリードが配設されるので、リード、パッドおよびワイヤそれぞれが密集することなく均等に配置されパッド配置にむだなスペースをとることなく多数のピン数に対応し得るパッド数を配置し、組立不良率を低減しワイヤ短絡ポテンシャルの低減が可能となった。

〔利用分野〕

本発明はゲートアレイICのようにチップサイズ当りボンディングワイヤ数の多い半導体製品全般に適用できる。特にトランスファモールドによつて封止する樹脂封止型半導体装置に極めて有効である。

図面の簡単な説明

第1図は多数ピンを有する半導体装置におけるワイヤボンディングの形態を示す平面図である。

第2図はワイヤ間接触が起きやすいボンディングパッドの配置を説明するための拡大平面図である。

第3図は同じくワイヤ間接触が起きやすいボンディングパッド配置を示す拡大平面図である。

第4図は本発明による半導体装置におけるワイヤボンディングの原理的構成を示す拡大平面図である。

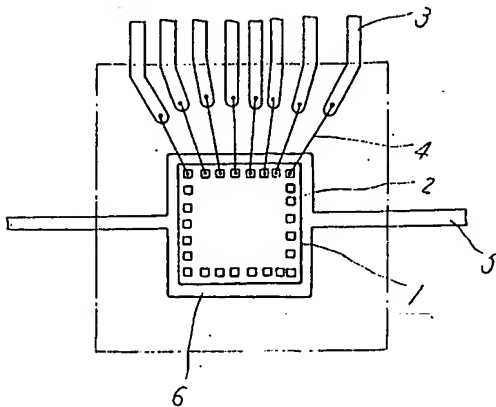
第5図は本発明による半導体装置の具体例を示す拡大平面図である。

1…半導体チップ、2…パッド、3…リード（ピン）、4…ワイヤ、5…タブリード、6…タブ。

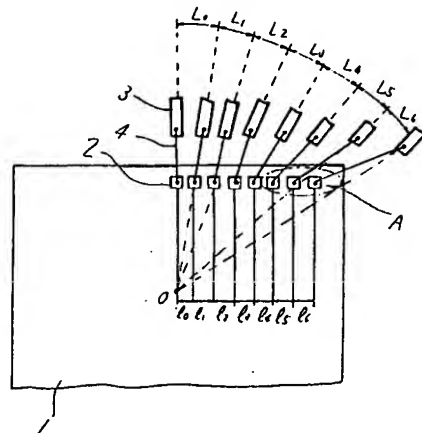
代理人 弁理士 高橋明



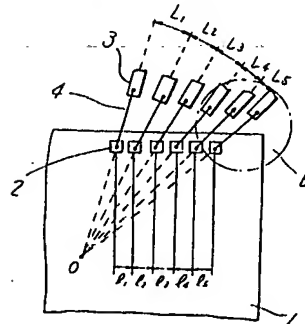
第 1 図



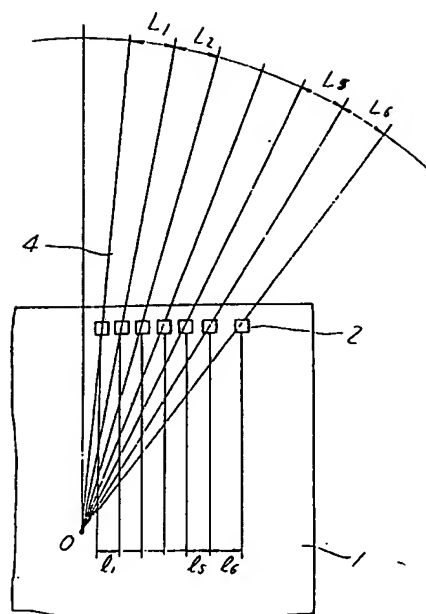
第 2 図



第 3 図



第 4 図



第 5 図

